

PATENT ABSTRACTS OF JAPAN

(11) Publication number : 07-182857
 (43) Date of publication of application : 21.07.1995

(51) Int.CI. G11C 11/403
 G06F 12/00
 G06F 15/78

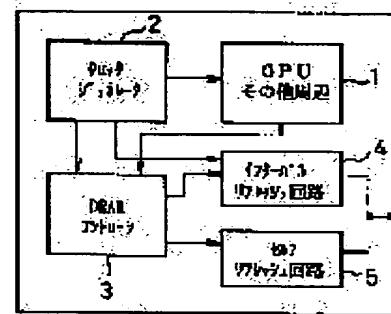
(21) Application number : 05-325517 (71) Applicant : TOSHIBA CORP
 TOSHIBA MICRO ELECTRON
 KK
 (22) Date of filing : 24.12.1993 (72) Inventor : YAESAWA KATSUMI
 HIUGA SEIJI

(54) MICROCOMPUTER SYSTEM

(57) Abstract:

PURPOSE: To provide a microcomputer system capable of refreshing a DRAM without generating a clock signal in the stand-by state of the system and reducing power consumption.

CONSTITUTION: When the system is set into the stand-by state, a self refresh mode is set by a CPU 1, the system is switched from an interval refresh circuit 4 to a self refresh circuit 5 based on a command from a DRAM controller 3. Then, the system is constituted so that the self refresh circuit 5 supplies a control signal for executing refresh operation by the DRAM in the state that the clock signal generated from a clock generator 2 is stopped at the time of normal operation.



LEGAL STATUS

[Date of request for examination] 22.04.1999

[Date of sending the examiner's decision of rejection] 09.01.2001

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against
examiner's decision of rejection]
[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-182857

(43)公開日 平成7年(1995)7月21日

(51)Int.Cl.
G 11 C 11/403
G 06 F 12/00
15/78

識別記号 廈内整理番号
550 B 9366-5B
510 A

F I

技術表示箇所

G 11 C 11/34 371 J

審査請求 未請求 請求項の数2 O.L (全5頁)

(21)出願番号 特願平5-325517

(22)出願日 平成5年(1993)12月24日

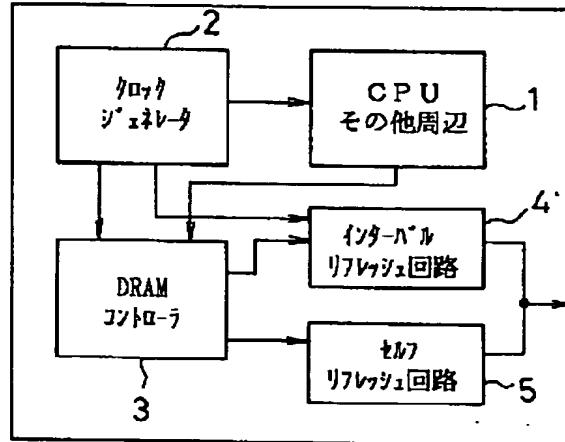
(71)出願人 000003078
株式会社東芝
神奈川県川崎市幸区堀川町72番地
(71)出願人 000221199
東芝マイクロエレクトロニクス株式会社
神奈川県川崎市川崎区駅前本町25番地1
(72)発明者 八重沢 勝美
神奈川県川崎市川崎区駅前本町25番地1
東芝マイクロエレクトロニクス株式会社内
(72)発明者 日向 誠治
神奈川県川崎市川崎区駅前本町25番地1
東芝マイクロエレクトロニクス株式会社内
(74)代理人 弁理士 三好 秀和

(54)【発明の名称】マイコンシステム

(57)【要約】

【目的】この発明は、システムのスタンバイ状態時にクロック信号を発生させることなくDRAMのリフレッシュを可能として、低消費電力化を達成し得るマイコンシステムを提供することを目的とする。

【構成】この発明は、システムがスタンバイ状態に設定される際に、CPU1によりセルフリフレッシュモードが設定され、DRAMコントローラ3からの指令によりインターバルリフレッシュ回路4からセルフリフレッシュ回路5に切り替えられ、通常動作時にクロックジェネレータ2から発生されるクロック信号を停止させた状態でセルフリフレッシュ回路5がDRAMにセルフリフレッシュ動作を行なわしめるべく制御信号を供給するよう構成される。



1

【特許請求の範囲】

【請求項1】 DRAM (ダイナミック・ランダム・アクセス・メモリ) を記憶装置として使用して命令を実行処理し、システムが通常動作状態からスタンバイ状態に移行する際にDRAMのセルリフレッシュモードを設定し、システムがスタンバイ状態から通常動作状態に移行した際にDRAMのセルリフレッシュモードを解除するCPUと、

通常動作時はクロック信号を出し、スタンバイ状態にはクロック信号の出力を停止するクロック信号生成回路と、

DRAMのセルリフレッシュモードの設定又は解除にしたがって、通常動作時はクロック信号生成回路から出力されるクロック信号に基づいたリフレッシュ動作を行わしめるべく制御信号をDRAMに供給し、スタンバイ状態となりセルリフレッシュモードが設定された時にはDRAMにセルリフレッシュ動作を行わしめるべく制御信号をDRAMに供給するDRAM制御手段とを有することを特徴とするマイコンシステム。

【請求項2】 CPUのスタンバイ状態を設定する命令の実行又はスタンバイ状態の解除を検出して、DRAM制御手段にDRAMのセルリフレッシュモードの設定又は解除を指示する検出指示手段を有することを特徴とする請求項1記載のマイコンシステム。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明は、DRAM (ダイナミック・ランダム・アクセス・メモリ) を使用したマイコンシステムに関し、特にスタンバイ状態時にクロック信号を用いることなくDRAMのリフレッシュ制御を行なうようにしたマイコンシステムに関する。

【0002】

【従来の技術】 DRAMを外部記憶として用いたマイコンシステムとしては、図5のブロック図に示すようなものがある。

【0003】 図5において、マイコンシステムは、システムの制御中枢となるCPU101 (周辺装置を含む) と、CPU101からの制御信号を受けて外部記憶のDRAM (図示せず) のアクセスを制御するDRAMコントローラ102と、DRAMコントローラ102からの制御信号を受けて、/CASビフォア/RASリフレッシュのインターバルリフレッシュをDRAMに行なわしめる制御信号をDRAMに供給するインターバルリフレッシュ回路103と、CPU101、DRAMコントローラ102、インターバルリフレッシュ回路103にクロック信号を供給するクロックジェネレータ104とを備えて構成されている。

【0004】 このような構成において、クロックジェネレータ104から出力されるクロック信号に基づいてDRAMコントローラ102内のリフレッシュタイム (図

10

20

40

50

2

示せず) が起動されて動作し、このタイマによって得られる一定周期毎にDRAMをインターバルリフレッシュさせる制御信号がインターバルリフレッシュ回路103からDRAMに与えられ、これによりDRAMが一定期間毎にリフレッシュされる。

【0005】 このようなマイコンシステムにおいて、システムが非動作状態にある場合には、システムをスタンバイ状態として低消費電力化を図るということが考えられる。

【0006】 しかしながら、システムをスタンバイ状態に設定すると、クロックジェネレータ104の発振が停止してクロック信号の供給が停止されてしまう。これにより、DRAMコントローラ102のタイマは起動されず、インターバルリフレッシュ回路103からDRAMにリフレッシュのための制御信号が供給されなくなる。このため、DRAMはリフレッシュされず、システムのスタンバイ状態を設定することはできなくなる。

【0007】 そこで、クロックジェネレータ104を2つに分割して、CPU101にクロック信号を供給するクロックジェネレータとDRAMコントローラ102にクロック信号を供給するクロックジェネレータを設け、システムをスタンバイ状態にした際にCPU101用のクロックジェネレータの動作を停止させ、DRAMコントローラ102用のクロックジェネレータを動作させるようすれば、DRAMのリフレッシュ動作とシステムのスタンバイ状態をともに実現できる。

【0008】 しかしながら、このようにクロックジェネレータを個別化する場合にあっても、DRAMコントローラ102用のクロックジェネレータは動作するため、消費電力の低下を実現することは困難である。また、クロックジェネレータは高周波の信号を発振するため、回路自身の構成が大きいということに加えて、クロックジェネレータを個別化することによってクロックジェネレータの個数が増えるため、システムの規模が大きくなってしまう。さらに、ノイズ源となる可能性があるクロックジェネレータを複数設けることによってノイズ源が増えるため、システムの動作に悪影響が及ぼないような設計的な配慮が必要となる。

【0009】

【発明が解決しようとする課題】 以上説明したように、DRAMを使用した従来のマイコンシステムにおいて、システム全体にクロック信号を供給するクロックジェネレータが1つの場合は、スタンバイ状態を設定して低消費電力化を図ることはできなかった。

【0010】 一方、クロックジェネレータを複数設ける場合には、システムの規模が大型化するとともに低消費電力化を図ることは困難になるという不具合を招いていた。

【0011】 そこで、この発明は、上記に鑑みてなされたものであり、その目的とするところは、従来と同等の

回路規模でDRAMを使用したシステムの低消費電力化を達成し得るマイコンシステムを提供することにある。

【0012】

【課題を解決するための手段】上記目的を達成するためには、請求項1記載の発明は、DRAM(ダイナミック・ランダム・アクセス・メモリ)を記憶装置として使用して命令を実行処理し、システムが通常動作状態からスタンバイ状態に移行する際にDRAMのセルフリフレッシュモードを設定し、システムがスタンバイ状態から通常動作状態に移行した際にDRAMのセルフリフレッシュモードを解除するCPUと、通常動作時はクロック信号を出力し、スタンバイ状態時にはクロック信号の出力を停止するクロック信号生成回路と、DRAMのセルフリフレッシュモードの設定又は解除にしたがって、通常動作時はクロック信号生成回路から出力されるクロック信号に基づいたリフレッシュ動作を行わしめるべく制御信号をDRAMに供給し、スタンバイ状態となりセルフリフレッシュモードが設定された時にはDRAMにセルフリフレッシュ動作を行わしめるべく制御信号をDRAMに供給するDRAM制御手段とから構成される。

【0013】請求項2記載の発明は、請求項1記載の発明において、CPUのスタンバイ状態を設定する命令の実行又はスタンバイ状態の解除を検出して、DRAM制御手段にDRAMのセルフリフレッシュモード設定又は解除を指示する検出指示手段を有してなる。

【0014】

【作用】上記構成において、請求項1記載の発明は、システムがスタンバイ状態に設定された時には、DRAMがセルフリフレッシュ動作を行なうように制御して、システム内でクロック信号を発生させることなくDRAMをリフレッシュするようにしている。

【0015】

【実施例】以下、図面を用いてこの発明の実施例を説明する。

【0016】図1は請求項1記載の発明の一実施例に係わるマイコンシステムの構成を示すブロック図である。

【0017】図1において、マイコンシステムは、システムの制御中枢となるCPU(周辺装置を含む)1と、システム全体にクロック信号を供給するクロックジェネレータ2と、外部記憶のDRAM(図示せず)のアクセスを制御するDRAMコントローラ3と、DRAMコントローラ3からの制御信号を受けて、/CASビフォア/RASリフレッシュのインターバルリフレッシュをDRAMに行なわしめる制御信号をDRAMに供給するインターバルリフレッシュ回路4と、DRAMコントローラ3からの制御信号を受けて、セルフリフレッシュをDRAMに行なわしめる制御信号をDRAMに供給するセルフリフレッシュ回路5を備えて構成されている。

【0018】CPU1は、システムの制御を一時的に中断するスタンバイモードの状態を設定する前に、命令又

は内部信号によってセルフリフレッシュモードを設定する。また、CPU1は、リセットや割込み起動等によってスタンバイモードの状態が解除されてシステムの制御が再開されると、命令や内部信号によってセルフリフレッシュモードを解除する。

【0019】クロックジェネレータ2は、通常動作時、すなわちDRAMがインターバルリフレッシュされる場合は、生成するクロック信号をCPU1、DRAMコントローラ3及びインターバルリフレッシュ回路4に供給する。一方、クロックジェネレータ2は、スタンバイモードの状態が設定されてシステム制御が中断すると、クロック信号の生成を停止されてそれぞれの回路へのクロック信号の供給を停止する。

【0020】DRAMコントローラ3は、システムの通常動作時には、インターバルリフレッシュ回路4がDRAMをインターバルリフレッシュ動作させるべくインターバルリフレッシュ指令制御信号をインターバルリフレッシュ回路4に与え、システムのスタンバイモード状態時には、セルフリフレッシュ回路5がDRAMをセルフリフレッシュ動作させるべくセルフリフレッシュ指令制御信号をセルフリフレッシュ回路5に与えて、DRAMのリフレッシュ動作ならびにアクセスを制御する。

【0021】インターバルリフレッシュ回路4は、クロックジェネレータ2から出力されるクロック信号ならびにDRAMコントローラ3から出力されるインターバルリフレッシュ指令制御信号にしたがってDRAMにインターバルリフレッシュ動作を行なわしめる制御信号をDRAMに与える。

【0022】セルフリフレッシュ回路5は、DRAMコントローラ3から出力されるセルフリフレッシュ指令制御信号のみにしたがってDRAMにセルフリフレッシュ動作を行なわしめる制御信号をDRAMに与える。

【0023】次に、このような構成において、システムの動作を図2に示すリフレッシュモードの変更の際のフローチャート及び図3に示す動作タイミングチャートを参照して説明する。

【0024】まず、通常動作時には、CPU1によってインターバルリフレッシュモードが設定されて(図2、ステップ51)、インターバルリフレッシュ回路4はクロックジェネレータ2から出力されるクロック信号に基づいて、DRAMを/CASビフォア/RASのインターバルリフレッシュする。

【0025】このような状態において、システムをスタンバイモードの状態に設定してシステムの制御を中断する場合には、CPU1によってセルフリフレッシュモードが設定されて(図2、ステップ52)、インターバルリフレッシュ回路4が非動作状態となりセルフリフレッシュ回路5が起動され、DRAMはセルフリフレッシュ回路5によりセルフリフレッシュが開始される。その後、システムはスタンバイモードの状態となり(図2、

5

ステップ53)、クロック信号はクロックジェネレータ2から出力されなくなる。

【0026】次に、例えば外部割込みによってスタンバイモードが解除されると(図2、ステップ54)、CPU1によってセルフリフレッシュモードが解除され(図2、ステップ55)、インターバルリフレッシュモードが設定されてセルフリフレッシュ回路5が非動作状態となりインターバルリフレッシュ回路4が起動され、DRAMはインターバルリフレッシュ回路4によりインターバルリフレッシュ動作が開始される。

【0027】このように、上記実施例にあっては、システムがスタンバイモードの状態が設定されて、クロックジェネレータ2からクロック信号の出力が停止された状態にあっても、DRAMをリフレッシュさせることができとなり、DRAMを記憶装置として使用したシステムにおけるスタンバイ状態が実現され、消費電力の低下を図ることができる。

【0028】また、記憶装置の大容量化にともなってシステムの記憶装置をSRAM(静态・ランダム・アクセス・メモリ)からDRAMに容易に変更することができる。

【0029】図4は請求項2記載の発明の一実施例に係わるマイコンシステムの構成を示す図である。

【0030】図4に示すシステムの特徴とするところは、図1に示すシステムの構成に加えてスタンバイ命令検出回路6を設け、このスタンバイ命令検知回路6によりCPU1が実行するスタンバイ命令を検出してDRAMコントローラ3にセルフリフレッシュモードの設定を指示し、スタンバイモードの解除後はセルフリフレッ

10

6

シモードの解除をDRAMコントローラ3に指示するようにしたことがある。このような構成においても、図1に示す実施例と同様の効果を得ることが可能となる。

【0031】

【発明の効果】以上説明したように、この発明によれば、システムがスタンバイ状態に設定された際に、システム内でクロック信号を発生させることなくDRAMをセルフリフレッシュするようにしたので、記憶装置にDRAMを使用したシステムのスタンバイ状態が実現され、低消費電力を達成することができる。

【図面の簡単な説明】

【図1】請求項1記載の発明の一実施例に係わるマイコンシステムの構成を示すブロック図である。

【図2】図1に示すシステムの動作フローチャートである。

【図3】図1に示すシステムの動作タイミングチャートである。

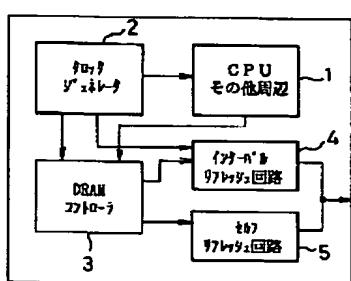
【図4】請求項2記載の発明の一実施例に係わるマイコンシステムの構成を示すブロック図である。

【図5】従来のマイコンシステムの一構成を示すブロック図である。

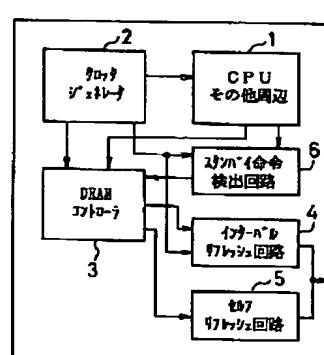
【符号の説明】

- 1, 101 CPU
- 2, 104 クロックジェネレータ
- 3, 102 DRAMコントローラ
- 4, 103 インターバルリフレッシュ回路
- 5 セルフリフレッシュ回路
- 6 スタンバイ命令検出回路

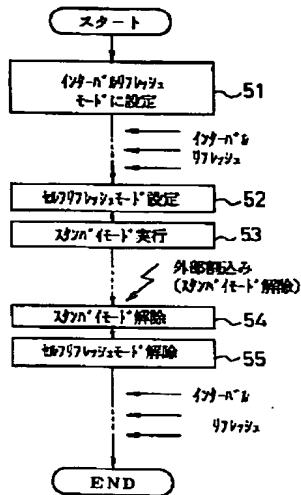
【図1】



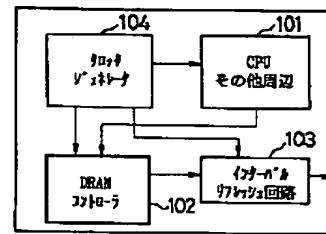
【図3】



【图2】



【图5】



[图4]

